

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 1 2 日
Date of Application:

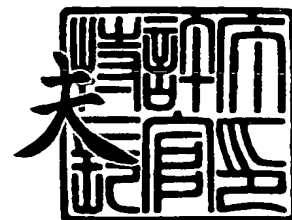
出 願 番 号 特 願 2 0 0 3 - 0 3 3 5 8 9
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 3 3 5 8 9]

出 願 人 株式会社デンソー
Applicant(s):

2 0 0 3 年 1 2 月 1 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 IP7501

【提出日】 平成15年 2月12日

【あて先】 特許庁長官殿

【国際特許分類】 G03F 3/00

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

 【氏名】 土谷 直矢

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

 【氏名】 安部 博文

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

 【氏名】 奥田 勝一

【特許出願人】

 【識別番号】 000004260

 【氏名又は名称】 株式会社デンソー

【代理人】

 【識別番号】 100100022

 【弁理士】

 【氏名又は名称】 伊藤 洋二

 【電話番号】 052-565-9911

【選任した代理人】

 【識別番号】 100108198

 【弁理士】

 【氏名又は名称】 三浦 高広

 【電話番号】 052-565-9911

【選任した代理人】

【識別番号】 100111578

【弁理士】

【氏名又は名称】 水野 史博

【電話番号】 052-565-9911

【手数料の表示】

【予納台帳番号】 038287

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 演算増幅回路

【特許請求の範囲】

【請求項1】 差動増幅回路（10）と出力回路（20）とを備えた演算増幅回路において、

前記差動増幅回路（10）は、

反転入力端子（IN-）から入力信号が入力される第1の入力段トランジスタ回路（111、113）と、

反転入力端子（IN+）から入力信号が入力される第2の入力段トランジスタ回路（112、114）と、

前記第1、第2の入力段トランジスタ回路（111、113、112、114）にそれぞれ接続され、カレントミラー回路を構成する第3、第4のトランジスタ（117、118）と、

前記第1の入力段トランジスタ回路（111、113）と前記第3のトランジスタ（117）の接続点に接続された第5のトランジスタ（115）と、

前記第2の入力段トランジスタ回路（112、114）と前記第4のトランジスタ（118）の接続点に接続された第6のトランジスタ（116）と、

前記第1、第2の入力段トランジスタ回路（111、113、112、114）に電流（I2）を供給するととともに、前記第5、第6のトランジスタ（115、116）のそれぞれに電流（I1、I3）を供給する電流供給回路（101）とを備え、

前記第6のトランジスタ（116）に流れる電流（I3'）が、前記第5のトランジスタ（115）に流れる電流（I1）に対し、前記第3、第4のトランジスタ（117、118）の電流増幅率の比（ hFE_{18}/hFE_{17} ）と前記第5、第6のトランジスタ（115、116）の電流増幅率の比（ hFE_{16}/hFE_{15} ）の積に比例するように構成されており、

前記出力回路（20）は、

前記電流供給回路（101）から前記第6の電流供給用トランジスタ（116）に供給する電流（I3）と前記第6の電流供給用トランジスタ（116）に流

れる電流 ($I_{3'}$) の関係により、ローレベルとハイレベルのいずれかの論理レベルの出力を行うように構成されており、

前記電流供給回路 (101) は、前記第1、第2の入力段トランジスタ回路 (111、113、112、114) に電流 (I_2) が供給できなくなったときに、前記第5、第6のトランジスタ (115、116) の一方に供給する電流が増加し、他方に供給する電流が変化しないように構成されたものであることを特徴とする演算増幅回路。

【請求項2】 前記電流供給回路 (101) は、前記第1、第2の入力段トランジスタ回路 (111、113、112、114) に接続された第1のコレクタと、前記第5、第6のトランジスタ (115、116) の一方に接続された第2のコレクタと、前記第5、第6のトランジスタ (115、116) の他方に接続された第3のコレクタとを備え、前記第1のコレクタから電流が供給できなくなったときにエミッタに流れる電流の一部が前記第2のコレクタに流れるように構成されたマルチコレクタトランジスタ (101) であることを特徴とする請求項1に記載の演算増幅回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、演算増幅回路に関する。

【0002】

【従来の技術】

従来の演算増幅回路の構成を図4に示す。図に示すように、演算増幅回路は、反転入力端子 I_{N-} および非反転入力端子 I_{N+} に入力される各入力信号の電位差に応じた信号を出力する差動増幅回路10と、差動増幅回路10の出力に応じた信号を出力端子 OUT から出力する出力回路20により構成されている。

【0003】

差動増幅回路10は、PNP型バイポーラトランジスタ111～116、121、102、122およびNPN型バイポーラトランジスタ117、118から構成されている。なお、トランジスタ121、102は2つのコレクタを有する

マルチコレクタの構成となっている。また、トランジスタ 121、102、122 の各ベースには、図示しない外部回路からのコモンベース信号が入力され、このコモンベース信号の電圧に応じて各コレクタから定電流が出力されるように構成されている。

【0004】

トランジスタ 113、114 の各ベースは、非反転入力端子 IN+、反転入力端子 IN- にそれぞれ接続されている。

【0005】

トランジスタ 117、118 は互いのベースが接続され、カレントミラー回路として構成されている。トランジスタ 117 のコレクタは、トランジスタ 111 のコレクタに接続されるとともに、トランジスタ 115 のベースに接続され、トランジスタ 118 のコレクタは、トランジスタ 112 のコレクタに接続されるとともに、トランジスタ 116 のベースに接続されている。そして、トランジスタ 118 には、トランジスタ 117 に流れる電流と等しい電流が流れるように構成されている。

【0006】

出力回路 20 は、PNP 型バイポーラトランジスタ 203、204、222 および NPN 型バイポーラ 219、220、221 により構成されている。

【0007】

トランジスタ 203、204 の各ベースは、差動増幅回路 10 のトランジスタ 121、122、102 のベースと共通に接続されている。また、トランジスタ 219 のベースは、トランジスタ 121 のコレクタとトランジスタ 116 のエミッタの接続点に接続され、トランジスタ 219 のコレクタはトランジスタ 203 のコレクタに接続されている。また、トランジスタ 219 のエミッタは抵抗 230 を介して接地され、エミッタフォロア回路が構成されている。また、トランジスタ 220 はエミッタが接地され、エミッタ接地回路が構成されている。トランジスタ 221 のコレクタは電源の正極側に接続され、トランジスタ 221 のエミッタは出力端子 OUT に接続されている。また、トランジスタ 222 のエミッタは出力端子 OUT に接続され、トランジスタ 222 のコレクタは電源の負極側に

接続されている。

【0008】

上記した構成においてその作動を説明する。反転入力端子 $IN-$ に入力される入力信号の電圧が、非反転入力端子 $IN+$ に入力される入力信号の電圧よりも高くなった場合には、トランジスタ 114 に流れる電流が、トランジスタ 113 に流れる電流よりも大きくなるため、トランジスタ 112 のベース電流はトランジスタ 111 のベース電流よりも大きくなり、トランジスタ 122 から供給される電流 I_2 は、トランジスタ 111 よりもトランジスタ 112 に多く流れる。しかし、トランジスタ 117、118 にはそれぞれ等しい電流が流れるため、トランジスタ 115 のベース電流は増加し、トランジスタ 116 のベース電流は減少する。

【0009】

このため、トランジスタ 116 に流れる電流 I_3' は減少し、トランジスタ 219 のベース電流は増加する。そして、トランジスタ 220 のベース電流は増加し、トランジスタ 221、222 の各ベースの電圧は低下する。そして、トランジスタ 221 はオフ、トランジスタ 222 はオンとなって、出力端 OUT の論理レベルはローレベルとなる。

【0010】

また、反転入力端子 $IN-$ に入力される入力信号の電圧が、非反転入力端子 $IN+$ に入力される入力信号の電圧よりも低くなった場合には、トランジスタ 113 に流れる電流が、トランジスタ 114 に流れる電流よりも大きくなるため、トランジスタ 111 のベース電流はトランジスタ 112 のベース電流よりも大きくなり、トランジスタ 122 から供給される電流 I_2 は、トランジスタ 112 よりもトランジスタ 111 に多く流れる。しかし、トランジスタ 117、118 にはそれぞれ等しい電流が流れるため、トランジスタ 116 のベース電流は増加し、トランジスタ 115 のベース電流は減少する。

【0011】

このため、トランジスタ 116 に流れる電流 I_3' は増加し、トランジスタ 219 のベース電流は減少する。そして、トランジスタ 220 のベース電流は減少

し、トランジスタ 221、222 の各ベースの電圧は上昇する。そして、トランジスタ 221 はオン、トランジスタ 222 はオフとなって、出力端 OUT の論理レベルはハイレベルとなる。

【0012】

【発明が解決しようとする課題】

差動増幅回路では、同相入力において、差動増幅可能な入力電圧範囲を同相入力電圧範囲という。図 4 に示す回路において、電源電圧を V_{CC} 、トランジスタ 122 のエミッターコレクタ間電圧を V_{sat} 、トランジスタ 111～114 の各エミッターベース間順方向電圧を V_f （いわゆるエミッターベース間電圧）とすると、同相入力電圧範囲の上限は、 $V_{CC} - 2V_f - V_{sat}$ で表される。

【0013】

図 4 に示す演算増幅回路では、反転入力端子 $IN-$ 、非反転入力端子 $IN+$ に入力される各入力信号の電圧が共に同相入力電圧範囲内において動作するように構成されているが、反転入力端子 $IN-$ 、非反転入力端子 $IN+$ に入力される各入力信号の電圧の上昇や、電源電圧 V_{CC} の低下により、反転入力端子 $IN-$ 、非反転入力端子 $IN+$ に入力される各入力信号の電圧が共に同相入力電圧範囲外となる場合がある。

【0014】

この場合、トランジスタ 113、114 はオフとなり、トランジスタ 111、112 もオフとなる。したがって、トランジスタ 111、112 には、電流 I_2 が流れない。

【0015】

そして、トランジスタ 115 がオンとなって、トランジスタ 117 およびトランジスタ 118 の各ベースに、トランジスタ 121 から供給される電流 I_1 が流れ込む。トランジスタ 117 とトランジスタ 118 には等しい電流が流れるため、トランジスタ 116 がオンとなって、トランジスタ 118 のコレクタにはトランジスタ 116 のベース電流が流れる。

【0016】

ここで、上記した演算増幅回路において、トランジスタ 115、116、11

7、118の各電流増幅率を $hFE15$ 、 $hFE16$ 、 $hFE17$ 、 $hFE18$ とすると、トランジスタ116のエミッタに流れる電流 $I3'$ は数式1で表される。

【0017】

【数1】

$$I3' = I1 / hFE15 * (1 - (1 / hFE17 + 1 / hFE18)) \\ * hFE18 / hFE17 * hFE16$$

$$= I1 * (1 - \frac{1 + hFE17 / hFE18}{hFE17}) * \frac{hFE18}{hFE17} * \frac{hFE16}{hFE15}$$

【0018】

また、数式1における $hFE17$ 、 $hFE18$ は通常100～200程度であるため、 $(1 + hFE17 / hFE18) / hFE17 \div 0$ とすると、トランジスタ116のエミッタに流れる電流 $I3'$ は数式2のように近似される。

【0019】

【数2】

$$I3' = I1 * \frac{hFE18}{hFE17} * \frac{hFE16}{hFE15}$$

【0020】

数式2において、トランジスタ115、116およびトランジスタ117、118のそれぞれのペア性が良い場合は、トランジスタ115、116の各電流増幅率 $hFE15$ 、 $hFE16$ およびトランジスタ117、118の各電流増幅率 $hFE17$ 、 $hFE18$ がそれぞれ等しく、 $I3' = I1$ となる。また、トランジスタ121のマルチコレクタのペア性が良い場合は、 $I1 = I3$ となる。

【0021】

しかし、トランジスタ115、116およびトランジスタ117、118のそれぞれのペア性あるいはトランジスタ121のマルチコレクタのペア性によって、 $I3$ と $I3'$ の関係が $I3 > I3'$ になったり、 $I3 < I3'$ になったりする。なお、実際には、 $I3 < I3'$ となることなく、あえて言うならば、トランジスタ116の電流駆動能力が $I3$ よりも大きく、 $I3 = I3'$ となる。 $I3 >$

I 3' の場合には、トランジスタ 219 はオンとなり、トランジスタ 220 はオン、トランジスタ 221 はオフ、トランジスタ 222 はオンとなって、出力端子 O U T の論理レベルはローレベルとなる。しかし、 $I 3 = I 3'$ の場合には、トランジスタ 219 はオフとなり、トランジスタ 220 はオフ、トランジスタ 221 はオン、トランジスタ 222 はオフとなって、出力端子 O U T の論理レベルはハイレベルとなる。

【0022】

このため、上記した同相入力電圧範囲外の入力があった場合に、トランジスタ 115、116 およびトランジスタ 117、118 のそれぞれのペア性あるいはトランジスタ 121 のマルチコレクタのペア性によって、出力端子 O U T の論理レベルを所望のレベルに固定することができないという問題が生じる。

【0023】

この場合、トランジスタ 117、118 のエミッタにバランス抵抗を挿入し、わざとバランスを悪くして、出力端子 O U T の論理レベルを所望のレベルに固定することも考えられるが、そのようにすると通常動作時のオフセットが悪くなるなどの問題が生じる。

【0024】

本発明は上記問題に鑑みたもので、通常動作時のオフセットを悪くすることなく、上記したトランジスタのペア性が悪くても、入力信号の電圧が同相入力電圧範囲外となった場合の出力の論理レベルを所望のレベルに固定できるようにすることを目的とする。

【0025】

【課題を解決するための手段】

上記目的を達成するため、請求項 1 に記載の発明に係る演算増幅回路では、第 1 の入力段トランジスタ回路（111、113）と第 2 の入力段トランジスタ回路（112、114）に電流が供給できなくなったときに、第 5、第 6 のトランジスタ（115、116）の一方に供給する電流が増加し、他方に供給する電流が変化しないように構成された電流供給回路（101）を備えたことを特徴としている。

【0026】

したがって、反転入力端子（ I_{N-} ）、非反転入力端子（ I_{N+} ）の入力信号の電圧が同相入力電圧範囲外となり、第1、第2の入力段トランジスタ回路（111、113、112、114）がオフし、それらに供給する電流（ I_2 ）が流れなくなったときに、第5、第6のトランジスタ（115、116）の一方に供給する電流が増加し、他方に供給する電流が変化しないようになっているので、第3、第4のトランジスタ（117、118）あるいは第5、第6のトランジスタ（115、116）のペア性が悪くても、第6の電流供給用トランジスタ（116）に供給する電流（ I_3 ）と第6の電流供給用トランジスタに流れる電流（ $I_{3'}$ ）の大小関係を固定することができ、出力回路（20）の出力論理レベルを所望のレベルに固定することができる。

【0027】

なお、上記した電流供給回路（101）としては、請求項2に係る発明のように、第1、第2の入力段トランジスタ回路（111、113、112、114）に接続された第1のコレクタと、第5、第6のトランジスタ（115、116）の一方に接続された第2のコレクタと、第5、第6のトランジスタ（115、116）の他方に接続された第3のコレクタとを備え、記第1のコレクタから電流が供給できなくなったときにエミッタに流れる電流の一部が第2のコレクタに流れるように構成されたマルチコレクタトランジスタとすることができる。

【0028】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【0029】**【発明の実施の形態】****（第1実施形態）**

本発明の一実施形態に係る演算増幅回路の構成を図1に示す。この実施形態では、図4に示す従来の演算増幅回路に対しトランジスタ121、122に代えてトランジスタ101を設けた構成となっている。その他の構成は、図4に示すものと同じである。

【0030】

トランジスタ101は、4つのコレクタ①～④を有するマルチコレクタトランジスタであり、コレクタ①は、トランジスタ116のエミッタに接続され、コレクタ②はトランジスタ111、112の各エミッタに接続され、コレクタ③はトランジスタ115のエミッタに接続されている。なお、コレクタ④は使用されないため接地されている。

【0031】

図2に、トランジスタ101のレイアウトを模式的に示す。図に示すように、トランジスタ101は、共通のベースに対し、2つのセル1、2が配置されている。セル1は、1つのエミッタ1に対して2つのコレクタ①、②が対をなして形成され、セル2は、1つのエミッタ2に対して2つのコレクタ③、④が対をなして形成されている。なお、セル1のエミッタ1とセル2のエミッタ2はICチップ内でパターン配線により接続されている。

【0032】

このように構成したことにより、トランジスタ101のベースに印加されるコモンベース信号の電圧に応じて各コレクタ①～④から定電流が流れる。この場合、対をなすコレクタの一方に電流が流れないと他方のコレクタに流れる電流が増加する。例えば、コレクタ②からコレクタ電流が流れないと、コレクタ②へ電流を流していたエミッタ1からの電流の一部が、コレクタ②と対をなしているコレクタ①へ流れ、コレクタ①のコレクタ電流が増加する。発明者らの実験によれば、トランジスタの製造工程や素子の大きさにもよるが、コレクタ①のコレクタ電流は、コレクタ②のコレクタ電流を停止すると、1.5倍程度となることが確認された。

【0033】

この図1に示す演算増幅回路において、トランジスタ101、102の各ベースには、図示しない外部回路からのコモンベース信号が入力され、このコモンベース信号の電圧に応じて各コレクタから定電流が出力される。したがって、反転入力端子IN-および非反転入力端子IN+に入力される各入力信号が同相入力電圧範囲内における作動については、基本的に図4に示した構成と同じであり、

反転入力端子 I_{N-} の入力電圧が、非反転入力端子 I_{N+} の入力電圧よりも高い場合には、出力端 O_{UT} の論理レベルはローレベルとなり、反転入力端子 I_{N-} の入力電圧が、非反転入力端子 I_{N+} の入力電圧よりも低い場合には、出力端 O_{UT} の論理レベルはハイレベルとなる。

【0034】

次に、非反転入力端子 I_{N+} 、反転入力端子 I_{N-} の両方に同相入力電圧以上の入力信号が入力される場合の作動について説明する。

【0035】

非反転入力端子 I_{N+} 、反転入力端子 I_{N-} の両方に同相入力電圧以上の入力信号が入力されると、トランジスタ 113、114 はオフとなり、トランジスタ 111、112 はオフとなる。したがって、トランジスタ 111、112 には、トランジスタ 101 のコレクタ②から電流 I_2 が流れない。この場合、トランジスタ 101 のコレクタ①のコレクタ電流 I_3 が増加する。なお、セル 2 を構成している各コレクタ③、④のコレクタ電流は変化しない。

【0036】

ここで、トランジスタ 115、116 あるいはトランジスタ 117、118 のペア性が悪くても、出力端子 O_{UT} の論理レベルをローレベルに固定するためには、トランジスタ 219 をオンさせる必要がある。

【0037】

トランジスタ 219 の電流増幅率を hFE_{19} 、トランジスタ 203 のコレクタから供給される電流を I_4 とすると、トランジスタ 219 がオンするための条件は、数式 3 のように表される。

【0038】

【数3】

$$I_3 > I_3' + I_4 / hFE_{19}$$

【0039】

数式 3 において、 $I_4 / hFE_{19} \cong 0$ とし、さらに数式 2 を用いると、トランジスタ 219 がオンするための条件は、数式 4 のように表される。

【0040】

【数 4】

$$I_3 > I_1 * \frac{h_{FE18}}{h_{FE17}} * \frac{h_{FE16}}{h_{FE15}}$$

【0041】

一方、コレクタ②からコレクタ電流が流れない場合、コレクタ①のコレクタ電流は、上述したように 1.5 倍程度に増加するため、コレクタ①に流れる電流 I_3 とコレクタ③に流れる電流 I_1 との関係は、数式 5 のようになる。

【0042】

【数 5】

$$I_3 \doteq I_1 * 1.5 \text{ より}$$

【0043】

したがって、数式 4 および数式 5 から、数式 6 に示す関係が導き出される。

【0044】

【数 6】

$$\frac{I_3}{I_1} \doteq 1.5 > \frac{h_{FE18}}{h_{FE17}} * \frac{h_{FE16}}{h_{FE15}}$$

【0045】

数式 6 に示すように、トランジスタ 115、116 およびトランジスタ 117、118 ペア性の許容度は電流 I_1 と電流 I_3 の比に依存する。つまり、トランジスタ 115、116 の電流増幅率 h_{FE15} 、 h_{FE16} およびトランジスタ 117、118 の電流増幅率 h_{FE17} 、 h_{FE18} のペア性が悪くても、各電流増幅率 $h_{FE15} \sim h_{FE18}$ が、数式 6 に示す条件を満たす許容範囲内であれば、反転入力端子 I_{N-} 、非反転入力端子 I_{N+} に入力される各入力信号の電圧が共に同相入力電圧範囲外となっても、確実にトランジスタ 219 をオンさせることができ、出力端子 OUT から出力される出力信号の論理レベルをローレベルに固定することができる。

【0046】

なお、トランジスタをペアで構成する場合の電流増幅率のばらつきは、一般的

に 5 % 程度未満とすることが可能であり、数式 6 に示す条件を満たすことは容易である。

【0 0 4 7】

(第 2 実施形態)

上記した第 1 の実施形態においては、反転入力端子 I_{N-} 、非反転入力端子 I_{N+} に入力される各入力信号の電圧が共に同相入力電圧範囲外となる場合に、出力端子 O_{UT} から出力される出力信号の論理レベルをローレベルにする例について示したが、この第 2 実施形態では、出力端子 O_{UT} から出力される出力信号の論理レベルをハイレベルにする例について説明する。

【0 0 4 8】

図 3 に、本発明の第 2 実施形態に係るマルチコレクタトランジスタ 1 0 1 のレイアウトの模式図を示す。図に示すように、トランジスタ 1 0 1 は、共通のベースに対し、2 つのセル 1、2 が配置されている。セル 1 は、1 つのエミッタ 1 に対して 2 つのコレクタ③、②が対をなして形成され、セル 2 は、1 つのエミッタ 2 に対して 2 つのコレクタ①、④が対をなして形成されている。なお、セル 1 のエミッタ 1 とセル 2 のエミッタ 2 は IC チップ内でパターン配線により接続されている。

【0 0 4 9】

図 3 において、コレクタ②から供給されるコレクタ電流が流れないようにすると、コレクタ②へ電流を流していたエミッタ 1 からの電流の一部が、コレクタ②と対をなしているコレクタ③へ流れ、コレクタ③のコレクタ電流が増加する。

【0 0 5 0】

したがって、反転入力端子 I_{N-} 、非反転入力端子 I_{N+} に入力される各入力信号の電圧が共に同相入力電圧範囲外となり、トランジスタ 1 1 1 ~ 1 1 4 が全てオフとなり、トランジスタ 1 0 1 のコレクタ②から供給される電流 I_2 が流れなくなると、トランジスタ 1 0 1 のコレクタ③から供給される電流 I_1 は増加する。なお、この場合、セル 2 を構成しているコレクタ①、④のコレクタ電流は変化しない。

【0 0 5 1】

ここで、トランジスタ 115、116あるいはトランジスタ 117、118のペア性が悪くても、出力端子OUTの論理レベルをハイレベルに固定するためには、トランジスタ 219をオフさせる必要がある。

【0052】

トランジスタ 219の電流増幅率を $hFE19$ 、トランジスタ 203のコレクタから供給される電流を $I4$ とすると、トランジスタ 219がオフするための条件は、数式7のように表される。

【0053】

【数7】

$$I3 < I3' + I4 / hFE19$$

【0054】

数式3において、 $I4 / hFE19 \cong 0$ とし、さらに数式2を用いると、トランジスタ 219がオフするための条件は、数式8のように表される。

【0055】

【数8】

$$I3 < I1 * \frac{hFE18}{hFE17} * \frac{hFE16}{hFE15}$$

【0056】

一方、コレクタ②からコレクタ電流が流れない場合、コレクタ③のコレクタ電流は、上述したように1.5倍程度に増加するため、コレクタ①に流れる電流 $I3$ とコレクタ③に流れる電流 $I1$ との関係は、数式9のようになる。

【0057】

【数9】

$$I3 \cong I1 * 1 / 1.5 \text{ より}$$

【0058】

したがって、数式8および数式9から、数式10に示す関係が導き出される。

【0059】

【数 10】

$$\frac{I_3}{I_1} \doteq 0.67 < \frac{hFE18}{hFE17} * \frac{hFE16}{hFE15}$$

【0060】

数式 10 に示すように、トランジスタ 115、116 および トランジスタ 117、118 ペア性の許容度は電流 I_1 と電流 I_3 の比に依存する。つまり、トランジスタ 115、116 の電流増幅率 $hFE15$ 、 $hFE16$ および トランジスタ 117、118 の電流増幅率 $hFE17$ 、 $hFE18$ のペア性が悪くても、各電流増幅率 $hFE15 \sim hFE18$ が、数式 10 に示す条件を満たす許容範囲内であれば、反転入力端子 $IN-$ 、非反転入力端子 $IN+$ に入力される各入力信号の電圧が共に同相入力電圧範囲外となっても、確実にトランジスタ 219 をオフさせることができ、出力端子 OUT から出力される出力信号の論理レベルをハイレベルに固定することができる。

【0061】

(その他の実施形態)

上記した第 1 実施形態におけるトランジスタ 101 として、4 つのコレクタ①～④を有するマルチコレクタトランジスタによって構成された例について示したが、コレクタ①、②を有するマルチコレクタトランジスタと、コレクタ③を有するトランジスタを設け、各トランジスタのベースを互いに接続した構成としてもよい。また、第 2 実施形態におけるトランジスタ 101 としては、コレクタ②、③を有するマルチコレクタトランジスタと、コレクタ①を有するトランジスタを設け、各トランジスタのベースを互いに接続した構成としてもよい。

【0062】

また、電流供給回路としてマルチコレクタのトランジスタ 101 を用いるものを示したが、電流 I_2 が供給できなくなったときに、電流 I_3 と電流 I_1 のうち一方が増加し、他方が変化しないような構成のものであれば、他の構成のものを用いてもよい。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施形態における演算増幅回路の構成を示す図である。

【図 2】

本発明の第 1 実施形態におけるマルチコレクタトランジスタ 1 0 1 のレイアウトの模式図である。

【図 3】

本発明の第 2 実施形態におけるマルチコレクタトランジスタ 1 0 1 のレイアウトの模式図である。

【図 4】

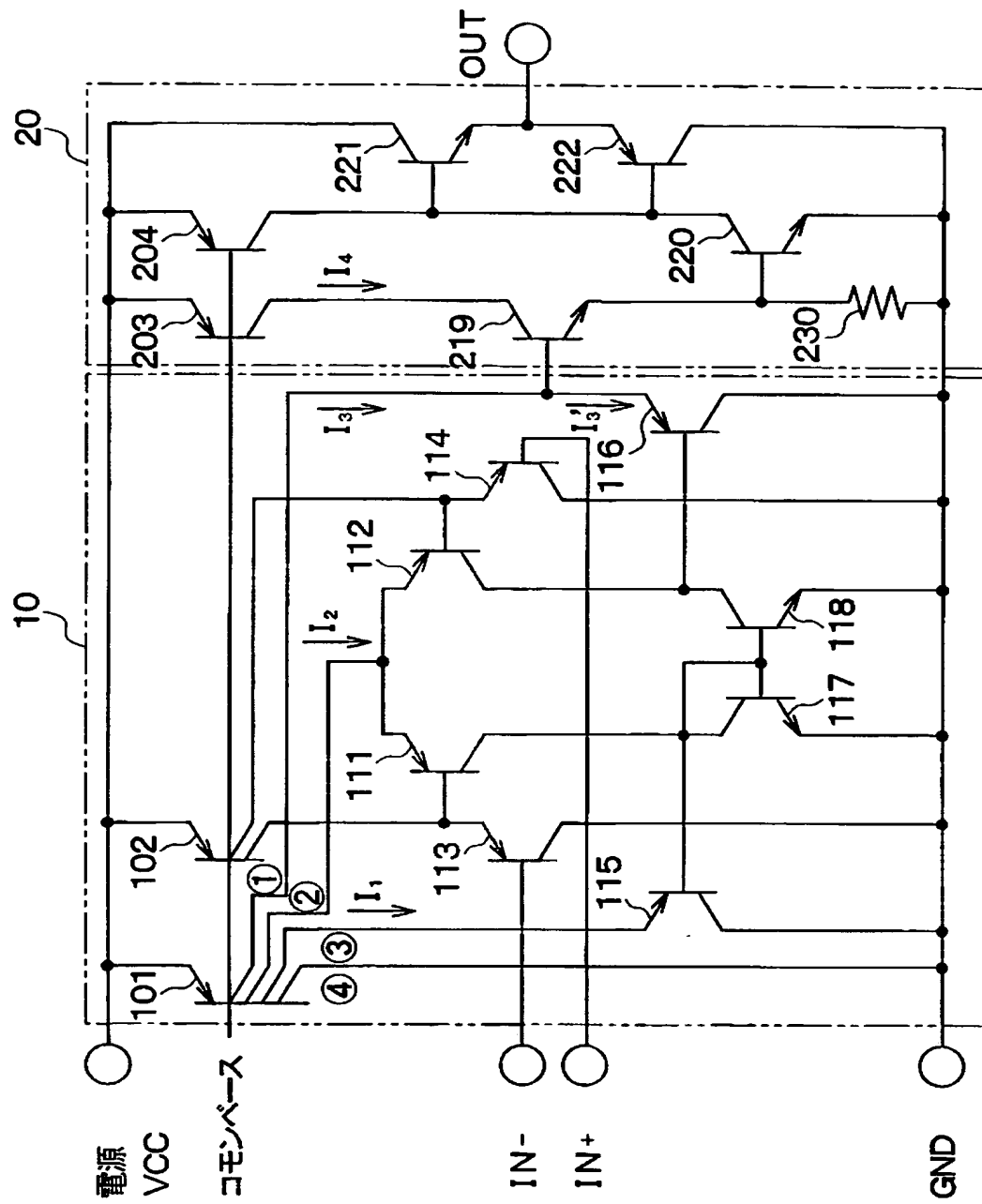
従来の演算増幅回路の構成を示す図である。

【符号の説明】

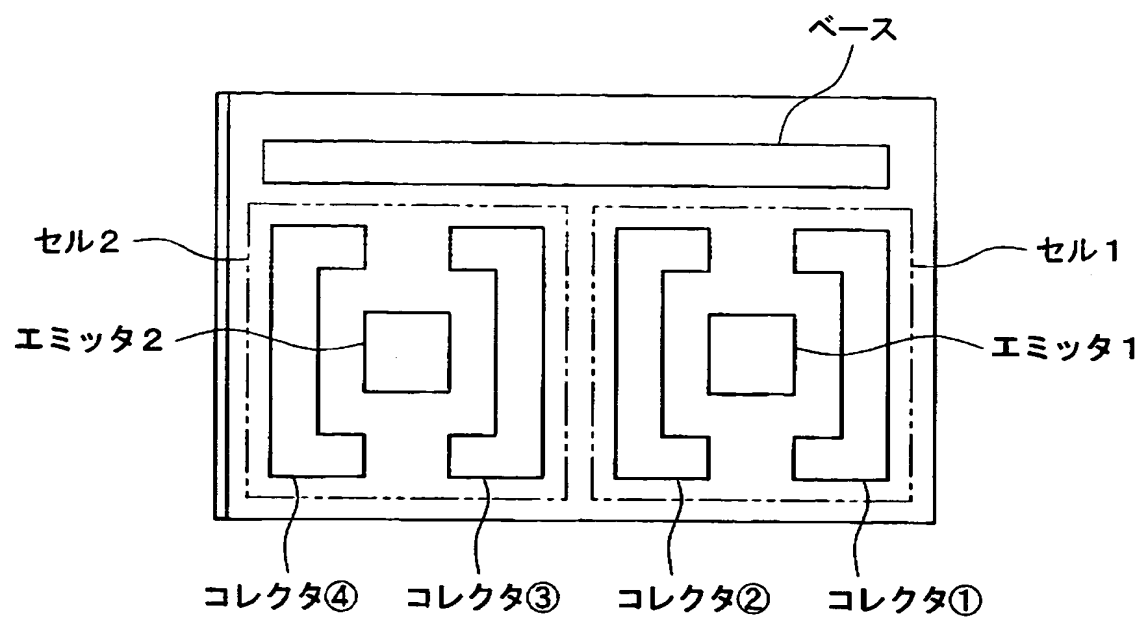
1 0 …差動増幅回路、
1 0 1、1 0 2 …PNP 型マルチコレクタトランジスタ、
1 1 1 ~ 1 1 6、2 0 3、2 0 4、2 2 2 …PNP 型トランジスタ、
1 1 7、1 1 8、1 1 4、1 1 6、2 2 1 …PNP 型トランジスタ、
2 0 …出力回路、2 3 0 …抵抗。

【書類名】 図面

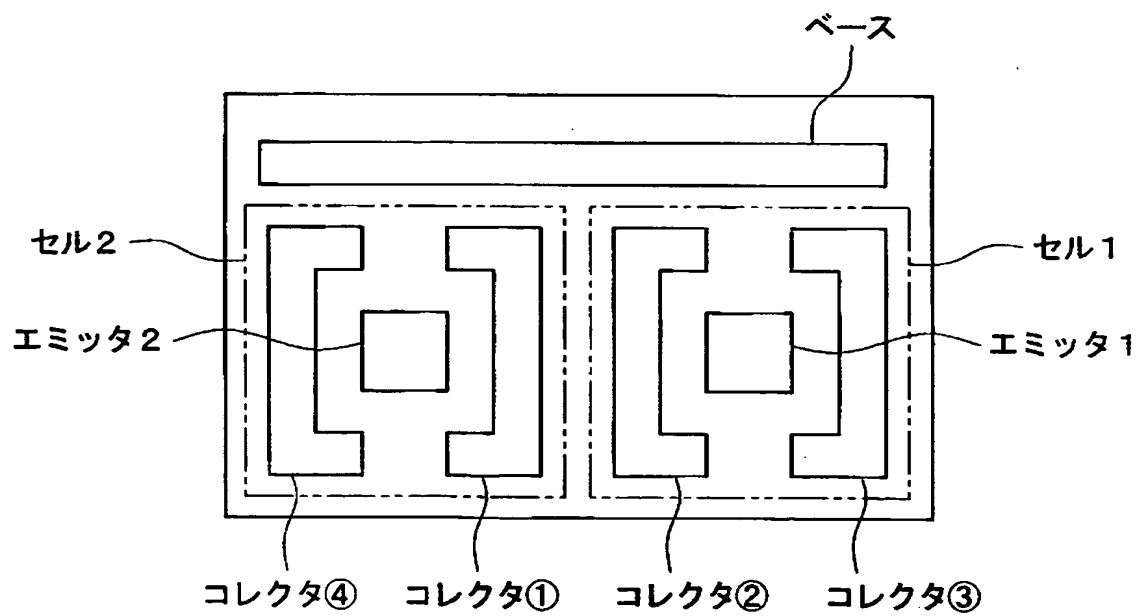
【図 1】



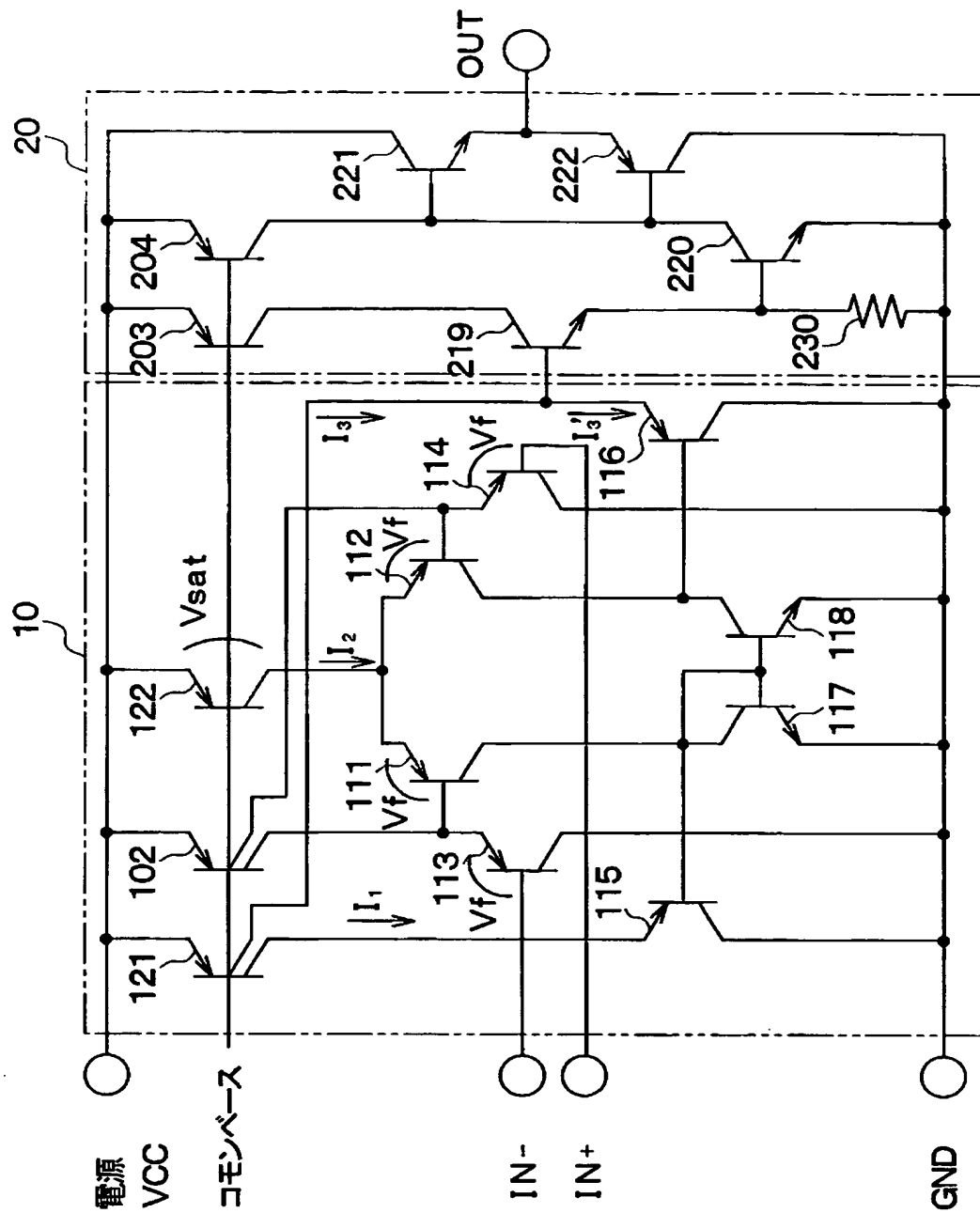
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 トランジスタのペア性が悪くても、入力信号の電圧が同相入力電圧範囲外となった場合の出力の論理レベルを所望のレベルに固定できるようにする。

【解決手段】 電流を供給するコレクタ①～③を有し、コレクタ②から供給される電流 I_2 が流れないと、コレクタ①から供給される電流 I_3 が増加し、コレクタ③から供給される電流 I_1 は変化しないように構成されたマルチコレクタトランジスタ 1 0 1 を設けた構成となっている。入力信号の電圧が同相入力電圧範囲外となってトランジスタ 1 1 1 ～ 1 1 4 がオフすると、電流 I_2 が流れなくなるため、電流 I_3 が増加する。このことにより、トランジスタ 2 1 9 がオン、トランジスタ 2 2 0 がオン、トランジスタ 2 2 1 がオフ、トランジスタ 2 2 2 がオンして、出力がローレベルに固定される。

【選択図】 図 1

特願 2 0 0 3 - 0 3 3 5 8 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 4 2 6 0]

1. 変更年月日

1 9 9 6 年 1 0 月 8 日

[変更理由]

名称変更

住 所

愛知県刈谷市昭和町 1 丁目 1 番地

氏 名

株式会社デンソー